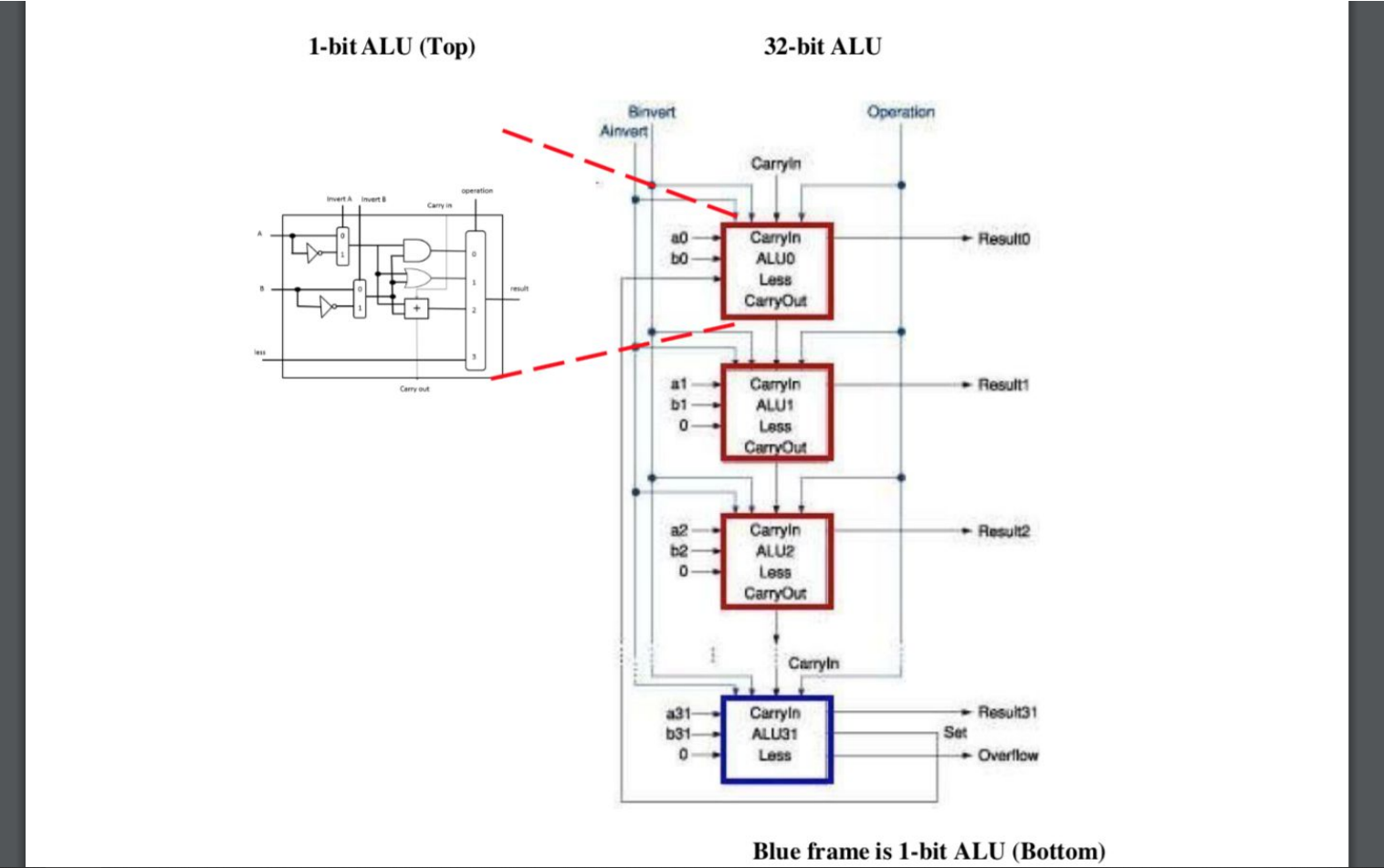
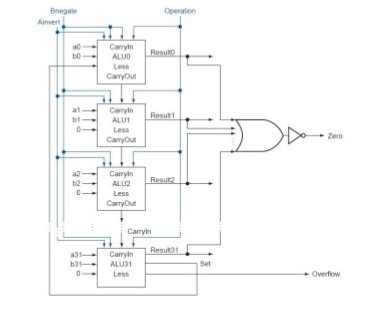
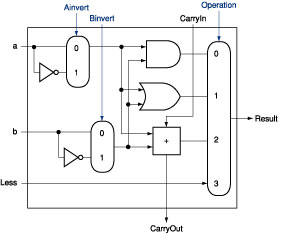
**Computer Organization**

**Architecture diagrams:**

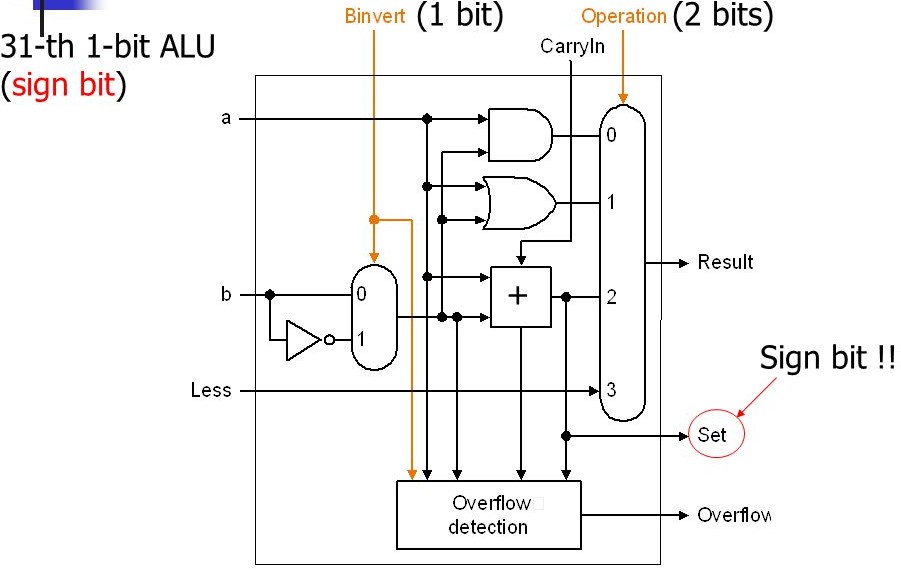
****

****

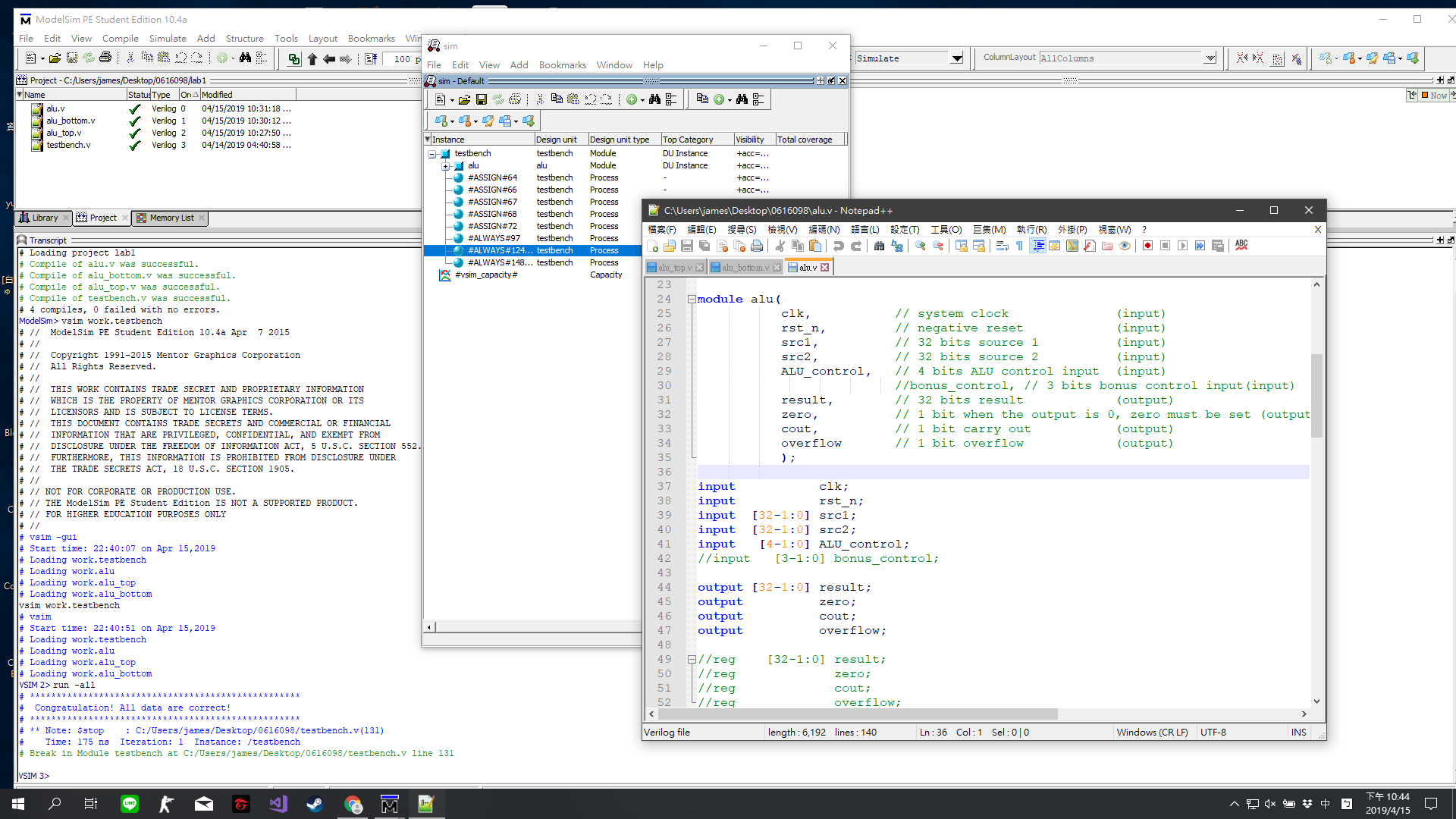
**1-bit ALU (TOP) for ALU[0 ~ 30] (without MSB)**

****

**1-bit ALU (BOTTOM) for ALU[31] (MSB)**

****

**Hardware module analysis:** ModelSim

**Experiment result:** 

**Problems you met and solutions:**

ModelSim常常當機，而且在路徑中不能出現中文，所以我只能把檔案移離桌面，後來display的內容一直無法出現，只好在朋友的電腦上做。

一開始很多語法看不懂，光是理解一開始的檔案就花了很多時間，always, bigin…end,initial的用法,reg跟wire的差別這些全部都要自己上網爬文，testbench也花了不少時間才理解，錯誤很多次後，才慢慢知道許多意義。

**Summary:**

總覺得不像C那麼好理解，通過爬文增強了自我解決能力也學到不好東西，不過覺得時間要耗很久在上面，但的確有更加理解verilog，也更了解ALU的實作方法。